

**МОДЕЛИРОВАНИЕ РАСПРЕДЕЛЕНИЕ ПОТЕНЦИАЛА
В ГРАДИЕНТНО-ЛЕГИРОВАННОЙ РАБОЧЕЙ ОБЛАСТИ ДВУХ
ЗАТВОРНОГО НАНОТРАНЗИСТОРА**

© 2016 г. Н.В. МАСАЛЬСКИЙ

Научно-исследовательский институт системных исследований РАН, г. Москва

Введение

Двух затворный полевой транзистор со структурой КНИ («кремний на изоляторе») - главный претендент для решения задач масштабирования высокоэффективных микросхем для перспективных технологических норм. Одна из главных проблем при масштабировании транзисторов – неуклонное снижение концентрации носителей в рабочей области, что существенно сказывается на производительности электронных устройств [1]. Традиционные приемы решения данной проблемы наталкиваются на паразитные эффекты, которые особенно проявляются в немасштабируемых свойствах транзисторных структур (пороговое напряжение, подпороговый ток и т.д.). Еще она негативная тенденция, связанная с ростом степени интеграции транзисторов, которая влечет уменьшение характерных размеров и снижение напряжения питания, - это обеспечения надежности устройств из-за сравнительно высоких абсолютных значений напряженностей электрических полей.

В качестве варианта решения сформулированной выше задачи в работе исследуются потенциальные возможности двух затворной транзисторной архитектуры с продольно градиентно-легированной рабочей областью. Такие структуры для объемных МОП транзисторов, которые еще называют «градуированный канал» представлены в ряде публикаций (см., например, [2]). Применительно к двух затворной симметричной транзисторной КНИ структуре в настоящей работе анализируются два варианта градуированного канала. Первый тип. Сначала (относительно истока) область с высокой концентрацией легирования, а затем с низкой концентрацией легирования. Тип два. Сначала область с низкой концентрацией легирования затем с высокой концентрацией легирования. В дальнейшем они именуется «высоко-низкая комбинация» и «низко-высокая комбинация». Такие структурированные рабочие области предназначены для того, чтобы преодолеть проблемы, такие как деградация горячих носителей, roll-off порогового напряжения и другие хорошо известные паразитные эффекты, сопутствующие для однородно легированных транзисторов. Физические особенности этих эффектов рассмотрены в ряде публикаций (см., например, [2-4]).

В данной работе были проанализированы структуры «высоко-низкая комбинация» и «низко-высокая комбинация» при помощи численного моделирования на основе аналитического решения 2D уравнения Пуассона, поскольку распределение потенциала определяет все значимые электро-физические характеристики выбранной транзисторной архитектуры. Главная цель такого структурирования рабочей области транзистора – уменьшение вклада в характеристики низколегированной области по сравнению с высоколегированной областью, т. к. известно, что, все отрицательные эффекты, например, эффекты горячих носителей, возникают у стока. Таким образом, низколегированная область рядом со стоком может обеспечить эффективное подавление отмеченных выше отрицательных эффектов.

1. Прототип транзистора

В модельной структуре двух затворного симметричного КНИ КМОП нанотранзистора (см. рис. 1) рабочая область состоит из двух частей (необязательно одинакового продольного размера) с разными концентрациями так, что

$$L_g = L_1 + L_2$$

$$N_{A_i} = \begin{cases} N_{A1}, 0 \leq y \leq L_1 \\ N_{A2}, L_2 < y \leq L_g \end{cases} \quad (1)$$

где L_g - длина рабочей области (длина затвора), $i = 1$ область с концентрацией легирования N_{A1} и $i = 2$ область с концентрацией легирования N_{A2} . Толщина рабочей области t_s , толщина подзатворного диэлектрика t_{ox} .

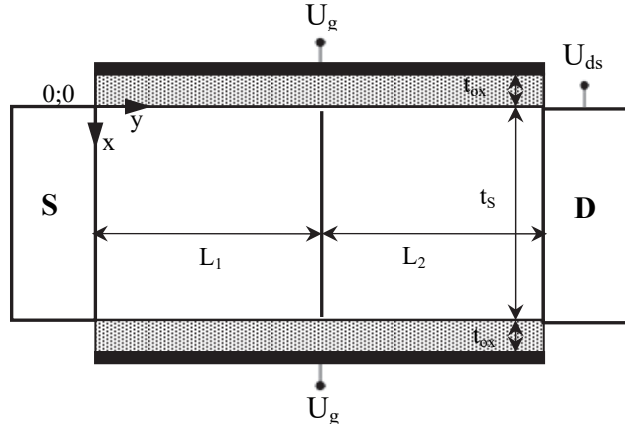


Рис. 1.

2. Аналитическое выражение для распределения потенциала в рабочей области транзистора

Аналитическое выражение для распределения потенциала рабочей области транзистора вытекает из решения классического 2D уравнения Пуассона. Оно, как известно, широко используется для определения данной характеристики:

$$\frac{\partial^2 \varphi(x, y)}{\partial x^2} + \frac{\partial^2 \varphi(x, y)}{\partial y^2} = \frac{qN_{A_i}(y)}{\epsilon_S}, \quad (2)$$

где q – заряд электрона, $\varphi(x, y)$ - потенциал в рабочей области транзистора, ϵ_S - диэлектрическая проницаемость рабочей области, $N_{A_i}(y)$ – концентрация легирования рабочей области, задаваемая соотношением (1).

Для решения (2) используются классические граничные условия в виде:

$$\varphi(x, y)|_{x=0} = \varphi_{f_i}(y)$$

$$\frac{\epsilon_{ox}}{t_{ox}}(U_g - U_{FB_i} - \varphi_{f_i}(y)) = -\epsilon_S \frac{\partial \varphi_i(x, y)}{\partial x} \Big|_{x=0}$$

$$\frac{\epsilon_{ox}}{t_{ox}}(U_g - U_{FB_i} - \varphi_{b_i}(y)) = -\epsilon_S \frac{\partial \varphi_i(x, y)}{\partial x} \Big|_{x=t_s}$$

$$\varphi_i(x, 0) = U_{b_i}$$

$$\varphi_i(x, L_g) = U_{b_i} + U_{ds}$$

где $\varphi_{f_i}(y)$ - фронтальный поверхностный потенциал, $\varphi_{b_i}(y)$ - обратный поверхностный потенциал, ϵ_{ox} - диэлектрическая проницаемость подзатворного окисла, U_g - напряжение на затворах, U_{FB_i} - напряжение плоских зон, U_{b_i} - встроенная разность потенциалов, U_{ds} - напряжение стока-исток.

Распределение потенциала на верхней (фронтальной) и нижней (обратной) поверхностях вытекают из решения уравнения Пуассона полученного для параметрического представления потенциала, которое получено в приближении разделения переменных [3]. В данном случае выражения для потенциалов можно представить в виде:

$$\varphi_{b_i}(y) = u_{1i} \exp(\sqrt{A_{0i}}y) + u_{2i} \exp(-\sqrt{A_{0i}}y) - \frac{A_{1i}}{A_{0i}}, \quad (3)$$

$$\varphi_{f_i}(y) = u_{3i} \exp(\sqrt{A_{0i}}y) + u_{4i} \exp(-\sqrt{A_{0i}}y) - D_i$$

где

$$A_{0i} = 2 \frac{\kappa_S (2t_{ox} + \varepsilon_r t_S)}{t_{ox} t_S^2 (1 + 2t_{ox} / \varepsilon_r t_S)},$$

$$A_{1i} = \kappa_S \left[\frac{qN_{Ai}}{\varepsilon_S} - \frac{2((2t_{ox} + \varepsilon_r t_S)U_g + (t_{ox} + \varepsilon_r t_S)\varphi_{f2}) + 2\varphi_{f1}}{t_{ox} t_S^2 (1 + 2t_{ox} / \varepsilon_r t_S)} \right],$$

$$D_i = \frac{\sigma_1 (1 + 2 / \varepsilon_r t_S) \varphi_{b_i}(y) + \varphi_{f2} - \varphi_{f1}}{(1 + 2 \frac{t_{ox}}{\varepsilon_r t_S})}, \quad \varepsilon_r = \frac{\varepsilon_{ox}}{\varepsilon_S},$$

где коэффициенты u_{1i} , u_{2i} , u_{3i} и u_{4i} определяются из граничных условий, κ_S – подгоночный параметр, который связывает производную продольного электрического поля на любой глубине рабочей области с производной продольного электрического поля на фронтальной поверхности Si-SiO₂, полагая, что рабочая область достаточно тонкая

($t_S \approx 10$ нм) соотношение для κ_S можно представить в виде $\frac{\partial^2 \varphi_i(y)}{\partial y^2} \cong \frac{1}{\kappa_S} \frac{\partial^2 \varphi_{fi}(y)}{\partial y^2}$.

3. Результаты моделирования

Моделирование характеристик анализируемых прототипов осуществлялось в два этапа. Первоначально численно решалось уравнение Пуассона для базового устройства - двух затворного симметричного равномерно легированного КНИ нанотранзистора с параметрами $L_g=45$ нм, $t_S=10$ нм, $t_{ox}=1.8$ нм, $N_A=5.5 \times 10^{17}$ см⁻³. Результаты моделирования и данные, полученные при помощи программы ATLAS, находятся по большей части в хорошем согласовании.

Характеристики транзисторной структуры с «высоко-низкая комбинация» легирования моделировались с учетом однородности потенциального и электрического полей на границе разнородно легированных областей. Для исследований был выбран прототип двух затворного симметричного КНИ транзистора с параметрами $L_g=45$ нм, $t_S=10$ нм, $t_{ox}=1.8$ нм, $N_{A1}=5.5 \times 10^{17}$ см⁻³, $N_{A2}=5.5 \times 10^{15}$ см⁻³ с разным соотношением $L_1:L_2$. На рис. 2 приведены распределения фронтально поверхностного потенциала в рабочей области транзистора.

Во всех случаях минимум поверхностного потенциала расположен примерно по середине высоко легированной области. Распределение потенциала определяется отношением концентраций N_{A1} и N_{A2} . При снижении параметра N_{A2} минимум потенциала сдвигается влево и разница между минимальным значением потенциала и потенциалом соответствующим пологой части возрастает. При возрастании N_{A2} пологая часть в распределении потенциала постепенно исчезает, и минимум потенциала сдвигается вправо. При выравнивании концентраций распределение потенциала в точности соответствует распределению потенциала для случая равномерного легирования.

Для структуры $L_1=L_2$ с «низко-высокая комбинация» легирования для тех же значений концентрации распределение потенциала представляет собой симметрично отображенное относительно центральной оси (параллельной оси x) распределение, представленное на рис. 2 (кривая 2). Следует отметить, что распределение потенциала обладает симметричными свойствами, которые характеризуют распределение потенциала для случая «высоко-низкая комбинация» легированной рабочей области.

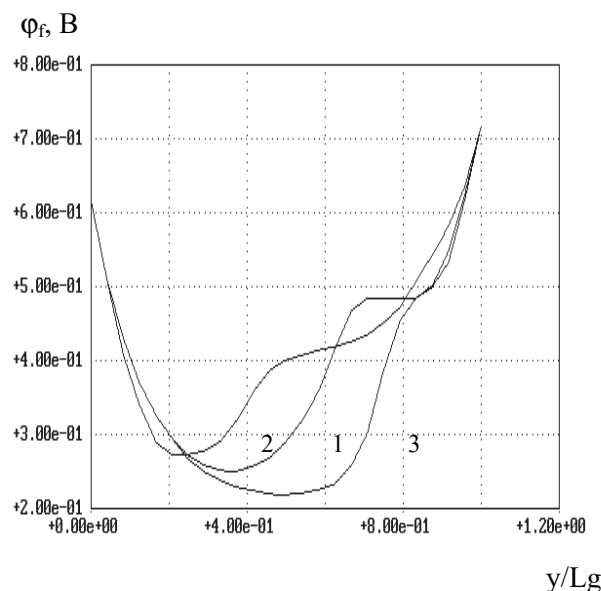


Рис. 2. Распределение поверхностного потенциала градиентно-легированной структуры при напряжениях $U_g = U_{ds} = 0.1$ В, где 1 – $L_1=L_2$, 2 – $L_1:L_2=1:2$, 3 – $L_1:L_2=2:1$.

Заключение

На основании полученного аналитического решения уравнения Пуассона численно рассчитывается распределение потенциала в продольно градиентно-легированной рабочей области двух затворного симметричного КНИ КМОП нанотранзистора, Проанализированы два варианта неравномерно-легированной рабочей области: высокое низкое легирование и низкое высокое легирование. В результате показано, что профиль легирования, имеющий высоко-низкую комбинацию, является наиболее оптимальным, чем однородно легированный профиль и профиль с комбинацией низко-высоко легированный. В такой структуре успешнее решается проблема горячих носителей, roll-off порогового напряжения, ограничение уровня подпорогового тока. Главная особенность - уменьшение вклада отрицательных эффектов при помощи низколегированной области, т. к. практически все отрицательные эффекты, присутствующие в рабочей области транзистора, возникают у стока. Таким образом, низколегированная область рядом со стоком может обеспечить эффективное средство, чтобы устранить отрицательные эффекты.

СПИСОК ЛИТЕРАТУРЫ

1. Масальский Н.В. Характеристики двух затворных КНИ КМОП нанотранзисторов для перспективных технологий с низким уровнем потребляемой мощности // Микроэлектроника. - 2012, т. 41, № 6, с. 436-444.
2. Pavanello M. A., Martino J. A., Dessard V., Flandre D. Analog performance and application of graded-channel fully depleted SOI MOSFETs // Solid-State Electron. - 2000, v. 44, № 4, p. 1219-1222.
3. Schulz T., Rosner W., Landgraf E., Risch L., Langmann U. Planar and vertical double gate concepts // Solid-State Electron. - 2002, v. 46, № 3, p. 985-994.
4. Widiez J., Lolivier J., Vinet M., Poiroux T., Previtali B., Dauge F., Moui M., Deleonibus S. Experimental evaluation of gate architecture influence on DG SOI MOSFET's performance // IEEE Trans. Electron Devices. - 2005, v. 52, № 5, p. 1772-1781.